

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233756

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H04J 13/00

H04B 7/08

(21)Application number : 09-051189

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 20.02.1997

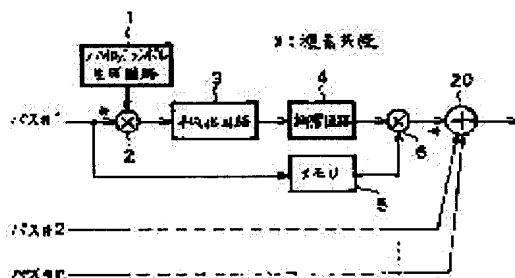
(72)Inventor : ABE TATSUYA

(54) MAXIMUM RATIO SYNTHESIS CIRCUIT FOR MULTI-PATH SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption by reducing a circuit scale of a maximum ratio synthesis circuit of a multi-path reception signal in the direct spread spectrum code division multiplex access CDMA communication system.

SOLUTION: An information symbol block at a head slot of a received frame for each path is stored in a memory 5, a pilot symbol block of a succeeding slot and a known pilot symbol from a pilot symbol generating circuit 1 are given to a complex multiplier 2, where the symbols are subject to conjugate complex multiplication to obtain a phase rotation amount of the pilot symbol. Its output is averaged by an averaging circuit 3 and an interpolation circuit 4 obtains a phase compensation vector. Output vectors for each path obtained by applying conjugate complex multiplication to the output and an output of a memory 5 at a complex multiplier 6 are synthesized by an adder 20.



LEGAL STATUS

[Date of request for examination] 30.09.2003

[Date of sending the examiner's decision of rejection] 18.10.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the maximum ratio composition circuit of the multi-pass constituted so that phase compensation of the input signal for every multi-pass in a direct spread-spectrum CDMA communication mode might be carried out and it might compound with an adder The memory which memorizes the information symbol block within the slot constituted in a receiving frame for said every multi-pass, The pilot symbol generation circuit which generates the pilot symbol of the same phase as the pilot symbol generated by the transmitting side according to receiving timing, The 1st complex multiplier which carries out conjugation complex multiplication of the pilot symbol of a pilot symbol block of the following receiving slot, and the pilot symbol generated in said pilot symbol generation circuit, and calculates the phase rotation of a receiving pilot symbol, The equalization circuit which averages the phase rotation of the receiving pilot symbol outputted from this 1st complex multiplier, and searches for an average phase rotation vector, The compensating network which carries out interpolation interpolation of said average phase rotation vector of the pilot symbol block located before and after said information symbol block, and searches for a phase compensation vector, It has the 2nd complex multiplier which carries out conjugation complex multiplication of each information symbol within the information symbol block memorized by this phase compensation vector and said memory, removes the phase rotation of each information symbol, and is returned to the phase at the time of transmission. The maximum ratio composition circuit of the multi-pass characterized by being constituted so that the output of said 2nd complex multiplier for every multi-pass may be compounded with said adder.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the maximum ratio composition circuit of the multi-pass in a code division multiple access (CDMA:Code Division Multiple Access) communication link. Below, the background of the technical field of this invention is explained briefly. Multi-pass phasing passes along many paths in which path length will differ by the time an electric wave results [from a transmitter] in a receiver, and when they are compounded, it generates them. Consequently, receiving level is changed without becoming fixed, and it commits decreasing an SN ratio or making an error rate increase etc. so that a signal quality may be degraded.

[0002] As this cure against phasing, although diversity techniques (tooth-space diversity, frequency diversity, etc.) are used, in the communication mode by the direct spread spectrum, the pass diversity which used the multi-pass conversely (effective pass is compounded) is also useful. Although there are a gain composite system, such as compounding so that the selection composite system which chooses, changes and outputs the high pass of receiving level to the receiving level composite system of these two or more pass most, and the signal of each pass may be mutually in phase and it may be added, and a maximum ratio composite system compounded so that weighting may be performed on receiving level, the signal of each pass may be mutually in phase and it may be added, diversity gain has [among these] the maximum ratio composite system largest [furthermore,].

[0003]

[Description of the Prior Art] Drawing 3 is the example Fig. of a configuration of the conventional maximum ratio composition circuit, and drawing 4 is an example Fig. of a frame format. drawing 3 -- setting -- 1 -- a pilot symbol generation circuit and 2 -- the first conjugation complex multiplier and 3 -- an equalization circuit and 4 -- for the second conjugation complex multiplier and 7, as for the first multiplier and 9, a normalization multiplier calculation circuit and 8 are [an interpolation circuit and 5 / memory and 6 / a multiplier calculation circuit with a pile and 10] the second multiplier. 11 is an adder and adds the output of the above circuit established in every [two or more] pass (#1-#n). The conventional synchronous detection and actuation of the maximum ratio composition are explained using drawing 3 below.

[0004] When the information symbol train (it is called an information symbol block below) followed within the slot constituted in the frame shown in drawing 4 receives, an information symbol block is memorized by memory 5, and when the single pilot symbol or the continuous pilot symbol train (it is called a pilot symbol block below) of degree slot receives, a pilot symbol block is inputted into the first conjugation complex multiplier 2. Since the pattern of the pilot symbol transmitted in a receiver side is known at this time, the pilot symbol generation circuit 1 generates and outputs the pilot symbol sequence of the same phase as the time of a pilot symbol block being generated by the transmitter, and it carries out conjugation complex multiplication to each pilot symbol within a pilot symbol block with the conjugation complex multiplier 2.

[0005] The phase rotation of each pilot symbol within a pilot symbol block is calculated by

conjugation complex multiplication, it is equalized further in the equalization circuit 3, and an average phase rotation vector is searched for. If the vector of the k -th pilot symbol within $(P_{ik}+jP_{qk})$ and the pilot-in vector of k -th pilot symbol within pilot symbol block symbol block at the time of transmission is made into $(U_{ik}+jU_{qk})$, an average phase rotation vector (R_i+jR_q) will be searched for by the degree type.

[0006]

[Equation 1]

$$R_i = (1/N) \cdot \sum_{k=1}^N (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$R_q = (1/N) \cdot \sum_{k=1}^N (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

Here, N is the number of pilot symbols within a pilot symbol block.

[0007] Next, an interpolation circuit 4 searches for the phase compensation vector for carrying out phase compensation of said information symbol block. If the average phase rotation vector before the information symbol block to interpolate is set to $(R_{i\text{ old}}+jR_{q\text{ old}})$ and the average phase rotation vector in back is set to $(R_{i\text{ new}}+jR_{q\text{ new}})$ when interpolating by the 0th [an average of] interpolation, a phase compensation vector (S_i+jS_q) will be searched for by the degree type.

[0008]

[Equation 2] $2S_q = [S_i = (R_{i\text{ old}}+R_{i\text{ new}}) /] (R_{q\text{ old}}+R_{q\text{ new}})/2$ [0009] The phase compensation vector searched for in the interpolation circuit 4 is inputted into the second conjugation complex multiplier 6, and phase compensation is carried out by carrying out conjugation complex multiplication of each information symbol within the information symbol block memorized by memory 5. If the vector of the l -th information symbol is made into $(I_{il}+jI_{ql})$ among the information symbol blocks memorized by memory 5, the vector $(E_{il}+jE_{ql})$ of the l -th information symbol after phase compensation will be searched for by the degree type.

[0010]

[Equation 3] $E_{il}=I_{il}-S_i+I_{ql}-S_q$ [0011] However, since the above-mentioned phase compensation vector is not normalized by the amplitude 1, it is computing a normalization multiplier in the normalization multiplier calculation circuit 7, and hanging on the information symbol after said phase compensation with the first multiplier 8, and maintains the amplitude of the information vector after phase compensation at the amplitude at the time of reception. Therefore, the vector $(D_{il}+jD_{ql})$ of the l -th information symbol in the information symbol block after normalization is searched for by the degree type.

[0012]

[Equation 4] $D_{il} = (I_{il}-S_i+I_{ql}-S_q) / (S_i^2+S_q^2)^{1/2}$ $D_{ql} = (I_{ql}-S_i-I_{il}-S_q) / (S_i^2+S_q^2)^{1/2}$ [0013] Phase compensation is carried out, the amplitude is called for in the multiplier calculation circuit 9 with a pile, and weighting of the normalized vector is carried out with the amplitude with the second multiplier 10. Finally, the vector by which phase compensation was carried out and amplitude weighting was carried out to the extent that all the multi-pass waves in 1 symbol came out, respectively is added with an adder 11 (maximization composition). In the l -th information symbol, if the vector after the phase compensation of m pass eye is set to $(D_{ilm}+jD_{qlm})$, the vector $(M_{il}+jM_{ql})$ of the l -th maximum-ratio-compounded information symbol will be searched for by the degree type.

[0014]

[Equation 5]

$$M_{il} = \sum_{m=1}^n (D_{ilm}^2 + D_{qlm}^2)^{1/2} \cdot D_{ilm}$$

$$M_{ql} = \sum_{m=1}^n (D_{ilm}^2 + D_{qlm}^2)^{1/2} \cdot D_{qlm}$$

n is numbers of passes to compound here.

[0015] Thus, it can improve SNR (SNR:Signal Noise Ratio signal-to-noise ratio) while the above-mentioned conventional example of the maximum ratio composition circuit carries out phase compensation of the multi-pass wave of effective pass #1 - #n for every pass, induces the diversity effectiveness by carrying out weighting and compounding with the amplitude and controls fluctuation of the receiving power by phasing.

[0016]

[Problem(s) to be Solved by the Invention] However, with the configuration of the above-mentioned conventional maximum ratio composition circuit, since normalization, the division done in the case of weighting, and square root count are required, when processing is complicated, there is a fault that power consumption is large, by the increment in the amount of operations. Moreover, since there are many counts of multiplication, there is a fault that many multipliers are formed and a circuit scale becomes large.

[0017] The purpose of this invention offers the maximum ratio composition circuit of the multi-pass which is small-scale circuitry and can be realized with a low power in order to solve the above-mentioned conventional trouble.

[0018]

[Means for Solving the Problem] In the maximum ratio composition circuit of the multi-pass constituted so that the maximum ratio composition circuit of the multi-pass of this invention might carry out phase compensation of the input signal for every multi-pass in a direct spread-spectrum CDMA communication mode and it might compound with an adder The memory which memorizes the information symbol block within the slot constituted in the receiving frame for said every multi-pass, The pilot symbol generation circuit which generates the pilot symbol of the same phase as the pilot symbol generated by the transmitting side according to receiving timing, The 1st complex multiplier which carries out conjugation complex multiplication of the pilot symbol of a pilot symbol block of the following receiving slot, and the pilot symbol generated in said pilot symbol generation circuit, and calculates the phase rotation of a receiving pilot symbol, The equalization circuit which averages the phase rotation of the receiving pilot symbol outputted from this 1st complex multiplier, and searches for an average phase rotation vector, The compensating network which carries out interpolation interpolation of said average phase rotation vector of the pilot symbol block located before and after said information symbol block, and searches for a phase compensation vector, It has the 2nd complex multiplier which carries out conjugation complex multiplication of each information symbol within the information symbol block memorized by this phase compensation vector and said memory, removes the phase rotation of each information symbol, and is returned to the phase at the time of transmission. It is characterized by being constituted so that the output of said 2nd complex multiplier for every multi-pass may be compounded with said adder.

[0019]

[Embodiment of the Invention] The configuration of the maximum ratio composition circuit of this invention is shown in drawing 1 . In drawing, 1 is a pilot symbol generation circuit and generates the pilot symbol of the same phase as the pilot symbol generated with a transmitter according to receiving timing. 2 is the first complex multiplier, carries out conjugation complex multiplication of the pilot symbol which received, and the pilot symbol generated in the pilot symbol generation circuit 1, and calculates the phase rotation of a receiving pilot symbol.

[0020] 3 is an equalization circuit, averages the phase rotation of each pilot symbol within a pilot symbol block, and searches for an average phase rotation vector. 4 is an interpolation circuit, carries out interpolation interpolation of the average phase rotation vector of the pilot symbol block located before and after the information symbol block which carries out phase compensation, and searches for a phase compensation vector. 5 is memory and memorizes the information symbol block which carries out phase compensation.

[0021] 6 is the second complex multiplier, it carries out conjugation complex multiplication of each information symbol within the information symbol block memorized by the phase compensation vector searched for in the interpolation circuit 4, and memory 5, removes the

phase rotation of each information symbol, and returns it to the phase at the time of transmission. 20 is an adder and all adds the vector by which phase compensation was carried out by all the multi-pass waves in 1 symbol, respectively.

[0022]

[Function] An operation of the maximum ratio composition circuit of this invention is explained using drawing 1. When the information symbol train (it is called an information symbol block below) which the first slot followed is received, an information symbol block is memorized by memory 5, and when the single pilot symbol or the continuous pilot symbol train (it is called a pilot symbol block below) of degree slot is received, a pilot symbol block is inputted into the first conjugation complex multiplier 2. Since the pattern of the pilot symbol transmitted in a receiver side is known at this time, the pilot symbol generation circuit 1 generates and outputs the pilot symbol sequence of the same phase as the time of a pilot symbol block being generated by the transmitter, and it carries out conjugation complex multiplication to each pilot symbol within a pilot symbol block with the conjugation complex multiplier 2.

[0023] The phase rotation of each pilot symbol within a pilot symbol block is calculated, it is further equalized by conjugation complex multiplication in the equalization circuit 3, and an average phase rotation vector is searched for by it. If the vector of the k -th pilot symbol within a pilot symbol block is made into $(P_{ik}+jP_{qk})$ and the vector of the k -th pilot symbol within the pilot symbol block at the time of transmission is made into $(U_{ik}+jU_{qk})$, an average phase rotation vector $(R_{ik}+jR_{qk})$ will be searched for by the degree type.

[0024]

[Equation 6]

$$R_i = (1/N) \cdot \sum_{k=1}^N (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$R_q = (1/N) \cdot \sum_{k=1}^N (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

Here, N is the number of pilot symbols within a pilot symbol block.

[0025] Next, an interpolation circuit 4 searches for the phase compensation vector for carrying out phase compensation of the continuous information symbol train (it being called an information symbol block below). If the average phase rotation vector before the information symbol block to interpolate is set to $(R_{iold}+jR_{qold})$ and the average phase rotation vector in back is set to $(R_{inew}+jR_{qnew})$ when interpolating by the 0th [an average of] interpolation, a phase compensation vector (S_i+jS_q) will be searched for by the degree type.

[0026]

[Equation 7] $2S_q = [S_i = (R_{iold}+R_{inew}) /] (R_{qold}+R_{qnew})/2$ [0027] The phase compensation vector searched for in the interpolation circuit 4 is inputted into the second conjugation complex multiplier 6, and phase compensation is carried out by carrying out conjugation complex multiplication of each information symbol within the information symbol block memorized by memory 5. If the vector of the l -th information symbol is made into $(I_{il}+jI_{ql})$ among the information symbol blocks memorized by memory 5, the vector $(E_{il}+jE_{ql})$ of the l -th information symbol after phase compensation will be searched for by the degree type.

[0028]

[Equation 8] $E_{il}=I_{il}-S_i+I_{ql}-S_q$ $E_{ql}=I_{ql}-S_i-I_{il}-S_q$ [0029] The above is conventionally the same as a circuit. since it does not normalize the above-mentioned phase compensation vector here -- an information symbol -- phase compensation, simultaneously the amplitude -- the mean amplitude twice of a pilot symbol block -- it is carried out. That is, weighting is carried out with the mean amplitude of a pilot symbol block. Therefore, the maximum ratio composition can be performed only by adding the vector by which phase compensation was carried out by all the multi-pass waves in 1 symbol with the adder 20. In the l -th information symbol, if the vector after the phase compensation of m pass eye is set to $(D_{ilm}+jD_{qlm})$, the vector $(M_{il}+jM_{ql})$ of the l -th maximum-ratio-compounded information symbol will be searched for by the degree type.

[0030]

[Equation 9]

$$M_{i1} = \sum_{m=1}^n D_{i1m}$$

$$M_{q1} = \sum_{m=1}^n D_{q1m}$$

n is numbers of passes to compound here.

[0031] Thus, also in the configuration of the maximum ratio composition circuit of this invention, while carrying out phase compensation of the effective multi-pass wave for every pass, inducing the diversity effectiveness by carrying out weighting and compounding with the mean amplitude of the pilot symbol block in each multi-pass wave and controlling fluctuation of the receiving power by phasing, SNR is improvable.

[0032] The measurement item is shown for the observation data based on the maximum ratio composition circuit of this invention in Table 1 at drawing 2 . It turns out that bigger diversity gain is acquired for the maximum ratio composition circuit by this invention compared with gain composite systems, such as a selection composite system.

[0033]

[Table 1]

測定諸元

データ変調	QPSK
チップレート	8.192 Mcps
伝送レート	64 kbps
拡散率	128
パス遅延	0, 10, 20, 30 μ s
パイロットシンボルブロック	4パイロットシンボル
パイロットシンボルブロック挿入周期	625 μ s
フェージング周波数	レイリーフェージング 5Hz
合成パス波	4パス

[0034]

[Effect of the Invention] Since the normalization multiplier calculation circuit 7 in the maximum ratio composition circuit, the first multiplier 8, the conventional multiplier calculation circuit 9 with a pile, and the second conventional multiplier 10 are reduced by carrying out this invention as explained above, when a circuit scale becomes small and the amount of operations becomes less, practical effectiveness -- low-power-ization can be attained -- is large.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

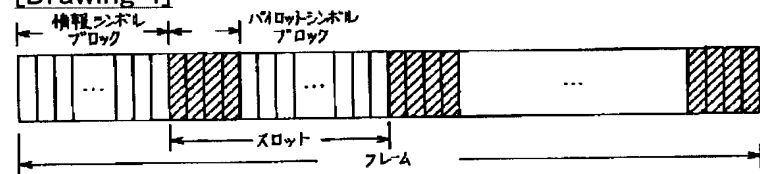
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

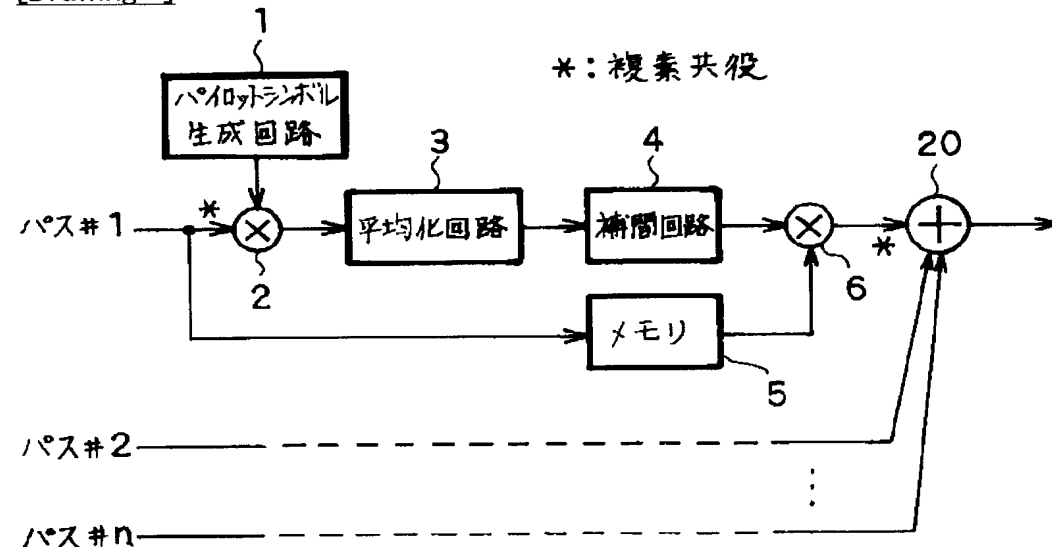
3.In the drawings, any words are not translated.

DRAWINGS

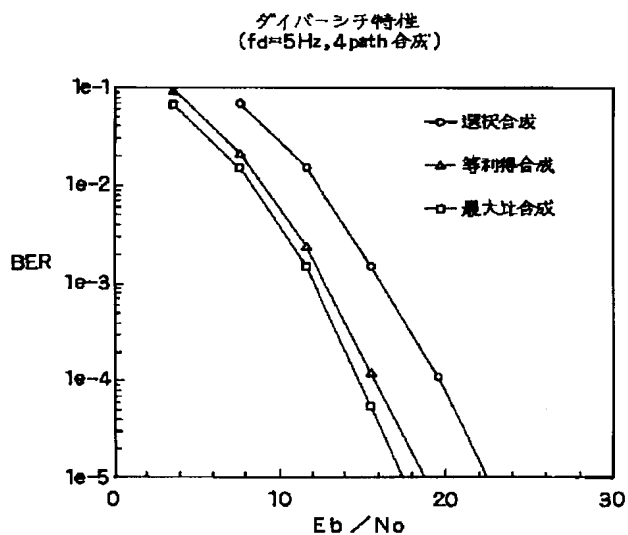
[Drawing 4]



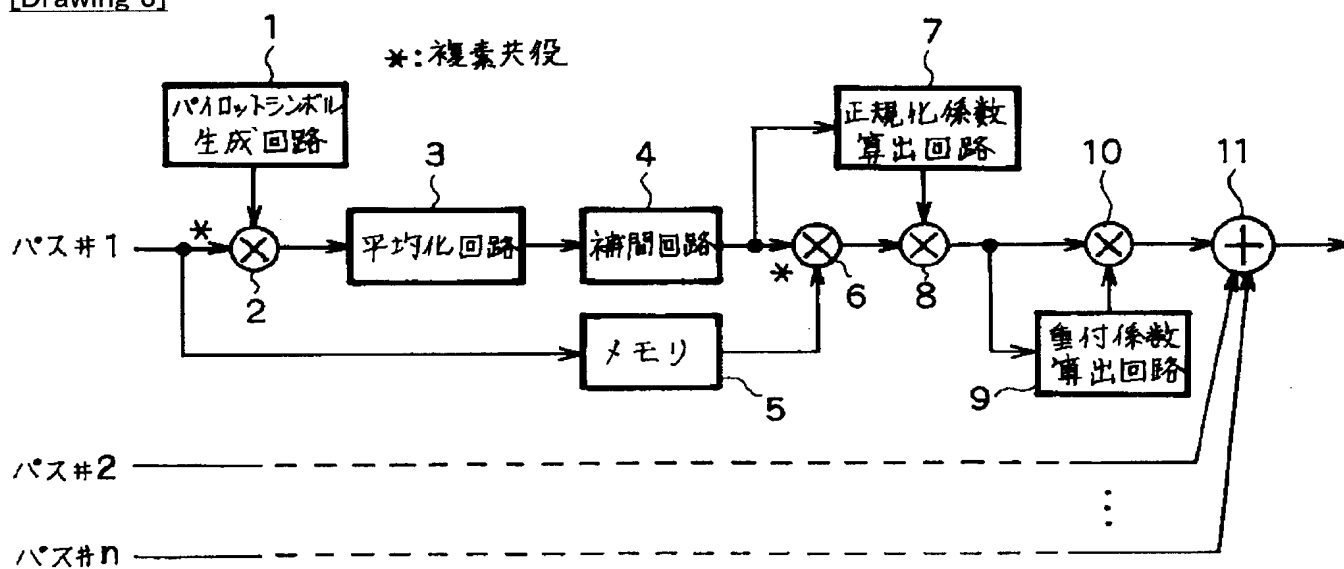
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-233756

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.⁶

H 0 4 J 13/00

H 0 4 B 7/08

識別記号

F I

H 0 4 J 13/00

H 0 4 B 7/08

A

Z

審査請求 未請求 請求項の数1 F D (全 7 頁)

(21)出願番号 特願平9-51189

(22)出願日 平成9年(1997)2月20日

(71)出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72)発明者 阿部 達也

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

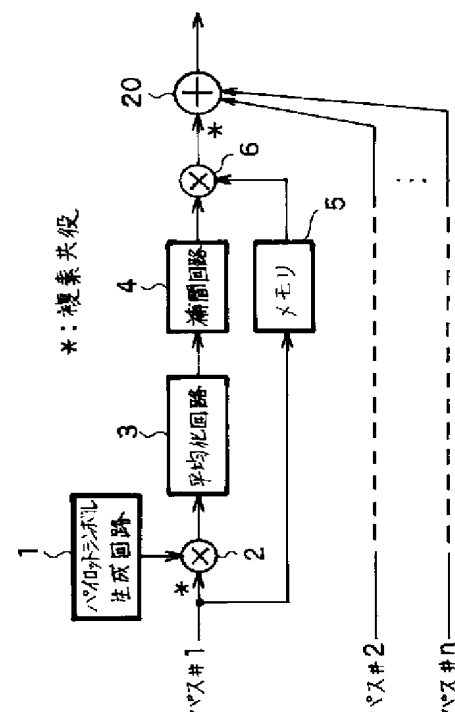
(74)代理人 弁理士 大塚 学

(54)【発明の名称】 マルチバスの最大比合成回路

(57)【要約】

【課題】直接スペクトル拡散CDMA通信方式におけるマルチバス受信信号の最大比合成回路の回路規模を縮小し、消費電力を低減する。

【解決手段】各バス毎に、受信フレームの先頭スロットの情報シンボルブロックをメモリ5に記憶し、次スロットのパイロットシンボルブロックとパイロットシンボル生成回路1からの既知のパイロットシンボルとを複素乗算器2で共役複素乗算してパイロットシンボルの位相回転量を求める。その出力を平均化回路3で平均化し、補間回路4で位相補償ベクトルを求める。その出力とメモリ5の出力を複素乗算器6で共役複素乗算して得られたバス毎の出力ベクトルを加算器20で合成するように構成した。



【特許請求の範囲】

【請求項1】 直接スペクトル拡散CDMA通信方式におけるマルチパス毎の受信信号を位相補償し加算器で合成するように構成されたマルチパスの最大比合成回路において、
前記マルチパス毎に、
受信フレーム中に構成されるスロット内の情報シンボルブロックを記憶するメモリと、
送信側で生成されるパイロットシンボルと同一位相のパイロットシンボルを受信タイミングに合わせて生成するパイロットシンボル生成回路と、
次の受信スロットのパイロットシンボルブロックのパイロットシンボルと前記パイロットシンボル生成回路で生成されたパイロットシンボルとを共役複素乗算して受信パイロットシンボルの位相回転量を求める第1の複素乗算器と、
該第1の複素乗算器から出力される受信パイロットシンボルの位相回転量を平均して平均位相回転ベクトルを求める平均化回路と、
前記情報シンボルブロックの前後に位置するパイロットシンボルブロックの前記平均位相回転ベクトルを内挿補間して位相補償ベクトルを求める補償回路と、
該位相補償ベクトルと前記メモリに記憶された情報シンボルブロック内の各情報シンボルとを共役複素乗算して各情報シンボルの位相回転量を取り除き送信時の位相に戻す第2の複素乗算器とを備え、
マルチパス毎の前記第2の複素乗算器の出力を前記加算器で合成するように構成されたことを特徴とするマルチパスの最大比合成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は符号分割多元接続(CDMA: Code Division Multiple Access)通信におけるマルチパスの最大比合成回路に関するものである。以下に、本発明の技術分野のバックグラウンドを簡単に説明する。マルチパスフェージングは、電波が送信機から受信機に至るまでに通路長の異なるいくつもの経路を通り、それらが合成されるときに発生する。その結果、受信レベルは一定にならずに変動し、SN比を減少させたり誤り率を増加させたりするなど、信号品質を劣化させるように働く。

【0002】このフェージング対策として、ダイバーシチ技術(スペースダイバーシチ、周波数ダイバーシチ等)が利用されているが、直接スペクトル拡散による通信方式では、マルチパスを逆に利用(有効なパスを合

成)したパスダイバーシチも有用である。さらに、この複数パスの受信レベル合成方式には、最も受信レベルの高いパスを選択して切り替えて出力する選択合成方式、各パスの信号が互いに同相で加わるように合成する等利得合成方式、受信レベルで重み付けを行って各パスの信号が互いに同相で加わるように合成する最大比合成方式があるが、これらのうち最大比合成方式が最もダイバーシチ利得が大きい。

【0003】

【従来の技術】図3は従来の最大比合成回路の構成例図であり、図4はフレームフォーマット例図である。図3において、1はパイロットシンボル生成回路、2は第一の共役複素乗算器、3は平均化回路、4は補間回路、5はメモリ、6は第二の共役複素乗算器、7は正規化係数算出回路、8は第一の乗算器、9は重付係数算出回路、10は第二の乗算器である。11は加算器であり、複数のパス(#1~#n)毎に設けられた以上の回路の出力を加算する。以下に従来の同期検波、最大比合成の動作を図3を用いて説明する。

【0004】図4に示したフレーム中に構成されているスロット内の連続した情報シンボル列(以下情報シンボルブロックと呼ぶ)を受信したとき、情報シンボルブロックはメモリ5に記憶され、次スロットの単一のパイロットシンボルもしくは連続したパイロットシンボル列(以下パイロットシンボルブロックと呼ぶ)を受信したとき、パイロットシンボルブロックは第一の共役複素乗算器2に入力される。このとき、受信機側では伝送されてくるパイロットシンボルのパターンが分かっているため、パイロットシンボル生成回路1は、パイロットシンボルブロックが送信機で生成された時と同一位相のパイロットシンボル系列を生成し、出力して、共役複素乗算器2でパイロットシンボルブロック内の各パイロットシンボルと共役複素乗算する。

【0005】共役複素乗算によりパイロットシンボルブロック内の各パイロットシンボルの位相回転量が求められ、さらに平均化回路3で平均化されて平均位相回転ベクトルが求められる。パイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを($P_{ik} + jP_{qk}$)、送信時におけるパイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを($U_{ik} + jU_{qk}$)とすると、平均位相回転ベクトル($R_i + jR_q$)は、次式で求められる。

【0006】

【数1】

$$R_i = (1/N) \cdot \sum_{k=1}^N (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$R_q = (1/N) \cdot \sum_{k=1}^N (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

ここで、Nはパイロットシンボルブロック内のパイロットシンボル数である。

【0007】次に、補間回路4は、前記情報シンボルブロックを位相補償するための位相補償ベクトルを求める。平均0次内挿で補間する場合、補間する情報シンボルブロックの前での平均位相回転ベクトルを $(R_{i_old} + j R_{q_old})$ とし、後ろでの平均位相回転ベクトルを $(R_{i_new} + j R_{q_new})$ とすると、位相補償ベクトル $(S_i + j S_q)$ は、次式で求められる。

【0008】

【数2】 $S_i = (R_{i_old} + R_{i_new}) / 2$

$S_q = (R_{q_old} + R_{q_new}) / 2$

【0009】補間回路4で求めた位相補償ベクトルは、第二の共役複素乗算器6に入力され、メモリ5に記憶されている情報シンボルブロック内の各情報シンボルが共役複素乗算されることにより位相補償される。メモリ5に記憶された情報シンボルブロックの内、1番目の情報シンボルのベクトルを $(I_{i1} + j I_{q1})$ とすると、位相補償後における1番目の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次式で求められる。

【0010】

【数3】 $E_{i1} = I_{i1} \cdot S_i + I_{q1} \cdot S_q$

$E_{q1} = I_{q1} \cdot S_i - I_{i1} \cdot S_q$

【0011】しかし、上記の位相補償ベクトルは振幅1に正規化されていないため、正規化係数算出回路7で正規化係数を算出し、第一の乗算器8で前記位相補償後の情報シンボルに掛けることで、位相補償後の情報ベクトルの振幅を受信時の振幅に保つ。ゆえに、正規化後の情報シンボルブロックにおける1番目の情報シンボルのベクトル $(D_{i1} + j D_{q1})$ は、次式で求められる。

【0012】

【数4】 $D_{i1} = (I_{i1} \cdot S_i + I_{q1} \cdot S_q) / (S_i^2 + S_q^2)^{1/2}$

$D_{q1} = (I_{q1} \cdot S_i - I_{i1} \cdot S_q) / (S_i^2 + S_q^2)^{1/2}$

【0013】位相補償され、正規化されたベクトルは、重付係数算出回路9で振幅が求められ、第二の乗算器10で振幅で重み付けされる。最後に、加算器11で、1シンボル内の全てのマルチパス波のそれぞれで位相補償され、振幅重み付けされたベクトルを加算（最大化合成）する。1番目の情報シンボルにおいて、mパス目の位相補償後のベクトルを $(D_{i1m} + j D_{q1m})$ とすると、最大比合成した1番目の情報シンボルのベクトル $(M_{i1} + j M_{q1})$ は、次式で求められる。

【0014】

【数5】

$$M_{i1} = \sum_{m=1}^n (D_{i1m}^2 + D_{q1m}^2)^{1/2} \cdot D_{i1m}$$

$$M_{q1} = \sum_{m=1}^n (D_{i1m}^2 + D_{q1m}^2)^{1/2} \cdot D_{q1m}$$

ここでnは合成するパス数である。

【0015】このようにして、上記従来の最大比合成回路例は、有効なパス#1～#nのマルチパス波をパス毎に位相補償し、振幅で重み付けして合成することでダイバーシチ効果を生み、フェージングによる受信パワーの変動を抑制するとともに、SNR（SNR：Signal Noise Ratio信号対雑音比）を改善することができる。

【0016】

【発明が解決しようとする課題】しかし、上記従来の最大比合成回路の構成では、正規化と重み付けの際に行う除算と平方根計算が必要なために、処理が複雑化する上、演算量の増加により消費電力が大きいという欠点がある。また、乗算回数が多いため、乗算器が多数個設けられて回路規模が大きくなるという欠点がある。

【0017】本発明の目的は、上記従来の問題点を解決するため、小規模の回路構成で且つ低消費電力で実現できるマルチパスの最大比合成回路を提供するものである。

【0018】

【課題を解決するための手段】本発明のマルチパスの最大比合成回路は、直接スペクトル拡散CDMA通信方式におけるマルチパス毎の受信信号を位相補償し加算器で合成するように構成されたマルチパスの最大比合成回路において、前記マルチパス毎に、受信フレーム中に構成されているスロット内の情報シンボルブロックを記憶するメモリと、送信側で生成されるパイロットシンボルと同一位相のパイロットシンボルを受信タイミングに合わせて生成するパイロットシンボル生成回路と、次の受信スロットのパイロットシンボルブロックのパイロットシンボルと前記パイロットシンボル生成回路で生成されたパイロットシンボルとを共役複素乗算して受信パイロットシンボルの位相回転量を求める第1の複素乗算器と、該第1の複素乗算器から出力される受信パイロットシンボルの位相回転量を平均して平均位相回転ベクトルを求める平均化回路と、前記情報シンボルブロックの前後に位置するパイロットシンボルブロックの前記平均位相回

転ベクトルを内挿補間して位相補償ベクトルを求める補償回路と、該位相補償ベクトルと前記メモリに記憶された情報シンボルブロック内の各情報シンボルとを共役複素乗算して各情報シンボルの位相回転量を取り除き送信時の位相に戻す第2の複素乗算器とを備え、マルチパス毎の前記第2の複素乗算器の出力を前記加算器で合成するように構成されたことを特徴とするものである。

【0019】

【発明の実施の形態】本発明の最大比合成回路の構成を図1に示す。図において、1はパイロットシンボル生成回路であって、送信機で生成されるパイロットシンボルと同一位相のパイロットシンボルを受信タイミングに合わせて生成する。2は第一の複素乗算器であって、受信したパイロットシンボルとパイロットシンボル生成回路1で生成されたパイロットシンボルとを共役複素乗算して受信パイロットシンボルの位相回転量を求める。

【0020】3は平均化回路であって、パイロットシンボルブロック内の各パイロットシンボルの位相回転量を平均して平均位相回転ベクトルを求める。4は補間回路であって、位相補償する情報シンボルブロックの前後に位置するパイロットシンボルブロックの平均位相回転ベクトルを内挿補間して位相補償ベクトルを求める。5はメモリであって、位相補償する情報シンボルブロックを記憶する。

【0021】6は第二の複素乗算器であって、補間回路4で求めた位相補償ベクトルとメモリ5に記憶された情報シンボルブロック内の各情報シンボルとを共役複素乗算して、各情報シンボルの位相回転量を取り除いて送信時の位相に戻す。20は加算器であって、1シンボル内

$$R_i = (1/N) \cdot \sum_{k=1}^N (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$R_q = (1/N) \cdot \sum_{k=1}^N (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

ここで、Nはパイロットシンボルブロック内のパイロットシンボル数である。

【0025】次に、補間回路4は、連続した情報シンボル列（以下情報シンボルブロックと呼ぶ）を位相補償するための位相補償ベクトルを求める。平均0次内挿で補間する場合、補間する情報シンボルブロックの前での平均位相回転ベクトルを $(R_{iold} + j R_{qold})$ とし、後ろでの平均位相回転ベクトルを $(R_{inew} + j R_{qnew})$ とすると、位相補償ベクトル $(S_i + j S_q)$ は、次式で求められる。

【0026】

$$\begin{aligned} S_i &= (R_{iold} + R_{inew}) / 2 \\ S_q &= (R_{qold} + R_{qnew}) / 2 \end{aligned}$$

【0027】補間回路4で求めた位相補償ベクトルは、第二の共役複素乗算器6に入力され、メモリ5に記憶さ

の全てのマルチパス波でそれぞれ位相補償されたベクトルを全加算する。

【0022】

【作用】本発明の最大比合成回路の作用を図1を用いて説明する。最初のスロットの連続した情報シンボル列（以下情報シンボルブロックと呼ぶ）を受信したとき、情報シンボルブロックはメモリ5に記憶され、次スロットの単一のパイロットシンボルもしくは連続したパイロットシンボル列（以下パイロットシンボルブロックと呼ぶ）を受信したとき、パイロットシンボルブロックは第一の共役複素乗算器2に入力される。このとき、受信機側では伝送されてくるパイロットシンボルのパターンが分かっているため、パイロットシンボル生成回路1は、パイロットシンボルブロックが送信機で生成された時と同一位相のパイロットシンボル系列を生成し、出力して、共役複素乗算器2でパイロットシンボルブロック内の各パイロットシンボルと共役複素乗算する。

【0023】共役複素乗算により、パイロットシンボルブロック内の各パイロットシンボルの位相回転量が求められ、さらに平均化回路3で平均化されて平均位相回転ベクトルが求められる。パイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを $(P_{ik} + j P_{qk})$ とし、送信時におけるパイロットシンボルブロック内のk番目のパイロットシンボルのベクトルを $(U_{ik} + j U_{qk})$ とすると、平均位相回転ベクトル $(R_{ik} + j R_{qk})$ は、次式で求められる。

【0024】

【数6】

れている情報シンボルブロック内の各情報シンボルが共役複素乗算されることにより位相補償される。メモリ5に記憶された情報シンボルブロックの内、1番目の情報シンボルのベクトルを $(I_{i1} + j I_{q1})$ とすると、位相補償後における1番目の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次式で求められる。

【0028】

$$\begin{aligned} \text{【数8】 } E_{i1} &= I_{i1} \cdot S_i + I_{q1} \cdot S_q \\ E_{q1} &= I_{q1} \cdot S_i - I_{i1} \cdot S_q \end{aligned}$$

【0029】以上は従来回路と同じである。ここで、上記の位相補償ベクトルは正規化されていないので、情報シンボルは位相補償と同時に、振幅がパイロットシンボルブロックの平均振幅倍されている。即ち、パイロットシンボルブロックの平均振幅で重み付けされている。従って、加算器20で1シンボル内の全てのマルチパス波

で位相補償されたベクトルを加算するだけで最大比合成ができる。1番目の情報シンボルにおいて、 m パス目の位相補償後のベクトルを $(D_{i1m} + j D_{q1m})$ とすると、最大比合成した1番目の情報シンボルのベクトル $(M_{i1} + j M_{q1})$ は、次式で求められる。

【0030】

【数9】

$$M_{i1} = \sum_{m=1}^n D_{i1m}$$

$$M_{q1} = \sum_{m=1}^n D_{q1m}$$

ここで n は合成するパス数である。

測 定 諸 元

データ変調	QPSK
チップレート	8.192 Mcps
伝送レート	64 kbps
拡散率	128
パス遅延	0, 10, 20, 30 μ s
パイロットシンボルブロック	4パイロットシンボル
パイロットシンボルブロック挿入周期	625 μ s
フェージング周波数	レイリーフェージング 5Hz
合成パス波	4パス

【0031】このようにして、本発明の最大比合成回路の構成においても、有効なマルチパス波をパス毎に位相補償し、各マルチパス波におけるパイロットシンボルブロックの平均振幅で重み付けして合成することでダイバーシチ効果を生み、フェージングによる受信パワーの変動を抑制するとともに、SNRを改善することができる。

【0032】図2に本発明の最大比合成回路による実測データを、表1にその測定諸元を示す。本発明による最大比合成回路が、選択合成方式、等利得合成方式に比べ、より大きなダイバーシチ利得が得られているのが分かる。

【0033】

【表1】

【0034】

【発明の効果】以上説明したように、本発明を実施することにより、従来の最大比合成回路における正規化係数算出回路7、第一の乗算器8、重付係数算出回路9及び第二の乗算器10が削減されるため、回路規模が小さくなり、また、演算量が減ることにより低消費電力化が図れるなど実用上の効果が大きい。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】本発明の実施例による実測データである。

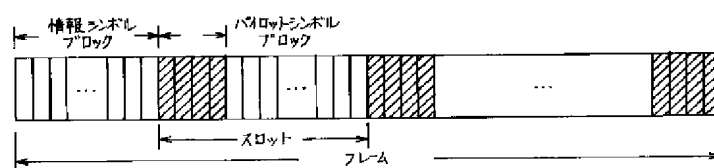
【図3】従来の回路ブロック図である。

【図4】フレームフォーマット例図である。

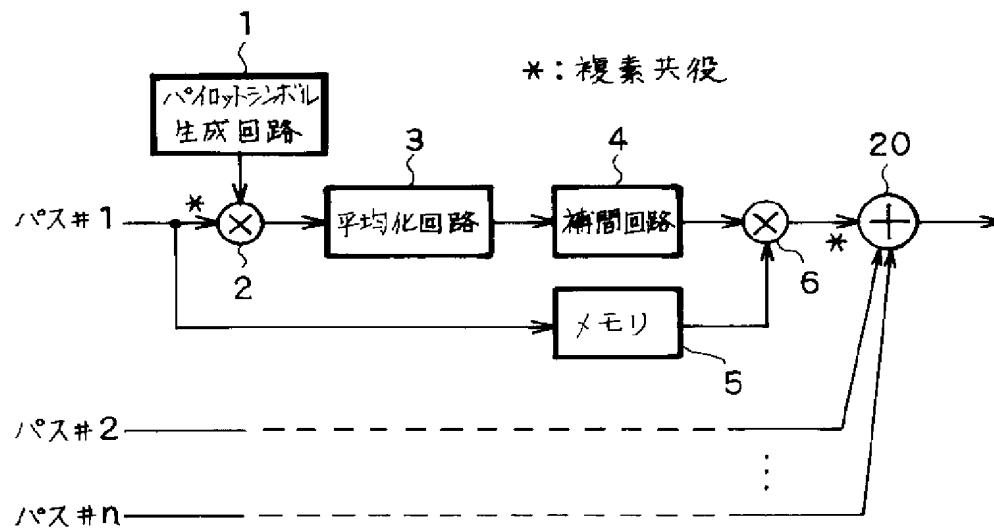
【符号の説明】

- 1 パイロットシンボル生成回路
- 2 第1の共役複素乗算器
- 3 平均化回路
- 4 補間回路
- 5 メモリ
- 6 第2の共役複素乗算器
- 7 正規化係数算出回路
- 8 第1の乗算器
- 9 重付係数算出回路
- 10 第2の乗算器
- 11 加算器
- 20 加算器

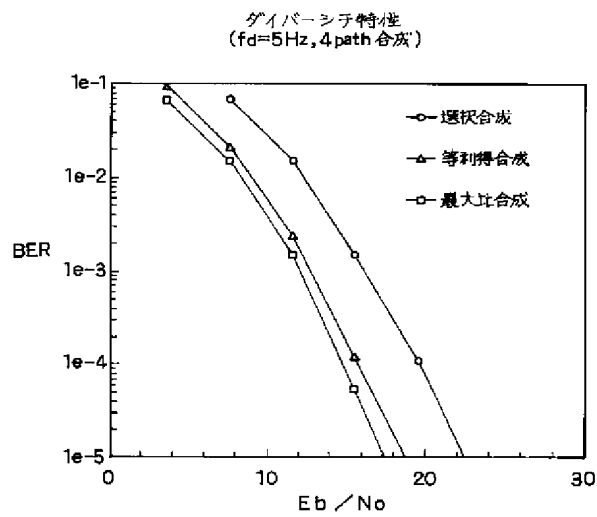
【図4】



【図1】



【図2】



【図3】

